B12. Convertisseurs Numérique / Analogique (CNA)

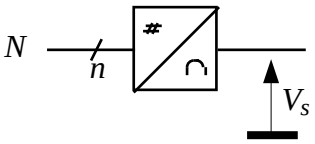
Digital to Analog Converter (DAC)

• ***Nombre de bits :*** n ; nb de valeurs entières distinctes : 2^n ; nb d'intervalles : $2^n - 1$

• ***Pleine échelle (full scale) :*** Mode unipolaire : PE *(FS)* = V_{max}

Mode bipolaire : PE *(FS)* = $V_{max} - V_{min}$

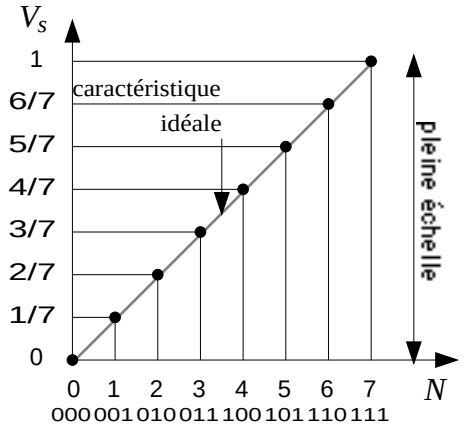
NB : dans ce dernier cas, en général $V_{min} = - V_{max}$, et est appelé "décalage en tension" *(offset)*.

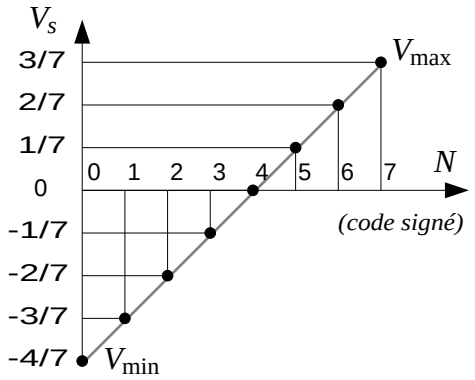
• 

2^n valeurs entières $\in$ [0 , $2^n - 1$] $\rightarrow$ 2^n tensions distinctes

• ***Résolution*** ou "pas de quantification" ou "incrément" : $q = \Delta V_s = \dfrac{\text{PE}}{2^n - 1}$

• ***Caractéristique :*** unipolaire : bipolaire :





$V_s = q.N$ $V_s = q.N + V_{min}$

• ***Sortie analogique :*** - sortie en tension : le CNA est un générateur de Thévenin

- sortie en courant : le CNA est un générateur de Norton

• ***Notations*** *(exemple pour n = 8 bits) :*

- notation européenne :

$$V_s = \frac{10}{255}\left(2^7 D_7 + 2^6 D_6 + ... + 2 D_1 + D_0\right) = \frac{PE}{2^n - 1} \sum_{i=0}^{n-1} 2^i D_i$$

- notation américaine :

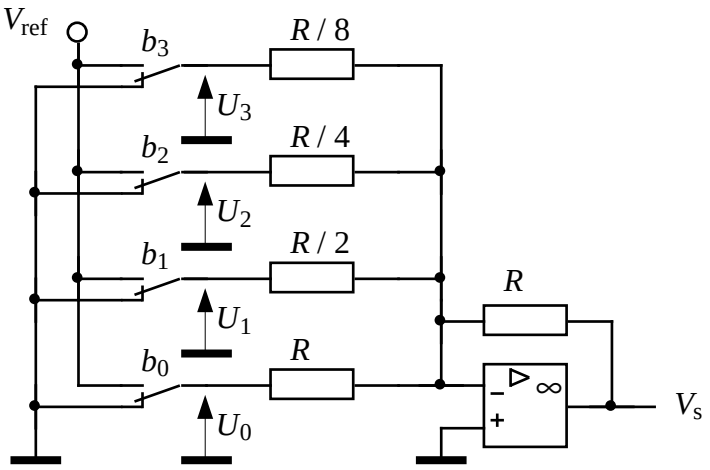
$$V_s = 10\frac{256}{255}\left(\frac{D_7}{2} + \frac{D_6}{4} + ... + \frac{D_1}{128} + \frac{D_0}{256}\right) = PE\frac{2^n}{2^n - 1} \sum_{i=1}^{n} \frac{D_{n-i}}{2^i}$$

• *CNA à résistances pondérées*

Montage de base : unipolaire, sortie en tension :

$$\left.\begin{array}{l} b_i = 0 \Leftrightarrow U_i = 0 \\ b_i = 1 \Leftrightarrow U_i = V_{\text{ref}} \end{array}\right\} \Rightarrow U_i = b_i . V_{\text{ref}}$$

$$\Rightarrow V_s = -V_{\text{ref}}(8b_3 + 4b_2 + 2b_1 + b_0)$$



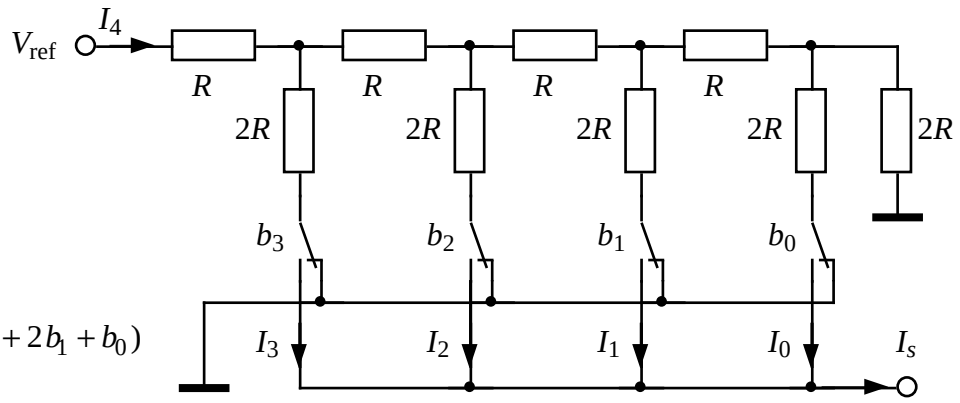
NB : montage peu utilisé, à cause de la difficulté de construire un réseau de résistances de valeurs précises.

• *CNA à réseau R-2R*

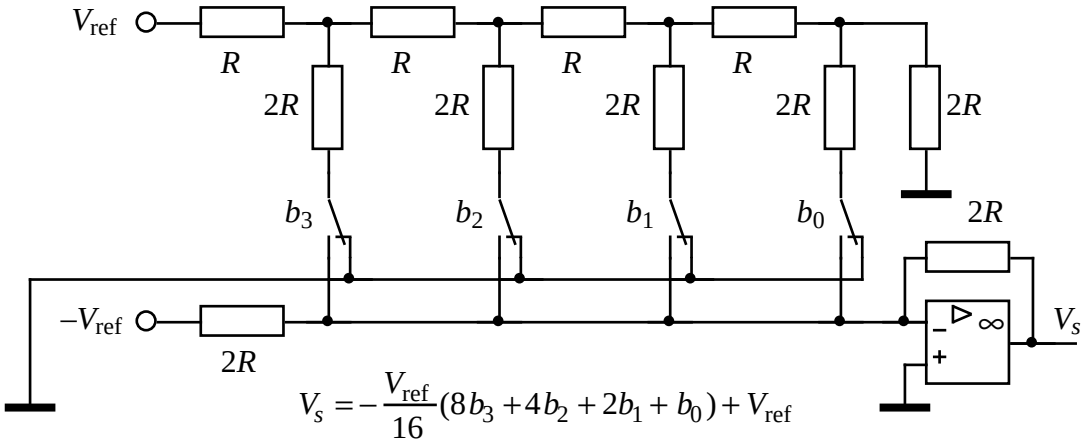
Montage de base : unipolaire, sortie en courant :

$$\left.\begin{array}{l} b_i = 0 \Leftrightarrow I_i = 0 \\ b_i = 1 \Leftrightarrow I_i \neq 0 \\ I_{i+1} = 2I_i \\ I_4 = \dfrac{V_{\text{ref}}}{2R} \end{array}\right\}$$

$$\Rightarrow I_s = \frac{V_{\text{ref}}}{32R}(8b_3 + 4b_2 + 2b_1 + b_0)$$



- Autre montage : bipolaire, sortie en tension :



$$V_s = -\frac{V_{\text{ref}}}{16}(8b_3 + 4b_2 + 2b_1 + b_0) + V_{\text{ref}}$$

********** ********** **COMPLEMENTS** **********

• ***CNA séquentiel (bit stream DAC)***

- Soient n le nombre de bits du CNA et N le nombre binaire à convertir ($0 \leq N \leq 2^n - 1$).

- On dispose d'une horloge-système H qui pilote l'ensemble du dispositif, de période T_0.

- On crée un signal rectangulaire V_o d'amplitude E, de période $n.T_0$ et de rapport cyclique variable $\alpha = \frac{N.T_0}{n.T_0} = \frac{N}{n}$.

Ce signal n'est autre qu'un signal modulé en largeur d'impulsions (MLI ou *PWM*). Cela est réalisé à l'aide d'un circuit "Delta-Sigma" (voir B13 : CAN $\Sigma - \Delta$)

- On extrait la valeur moyenne de V_o à l'aide d'un filtre passe-bas : $V_s = \langle V_o \rangle = \alpha.E$